

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **08-195954**

(43)Date of publication of application : **30.07.1996**

(51)Int.Cl.

H04N 7/30

G06T 1/60

G06T 9/00

H03M 7/30

H04N 1/41

(21)Application number : **07-003233**

(71)Applicant : **FUJI FILM MICRO DEVICE KK
FUJI PHOTO FILM CO LTD**

(22)Date of filing : **12.01.1995**

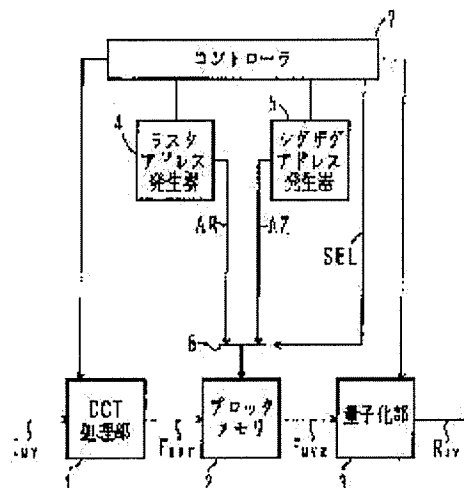
(72)Inventor : **ASANO MASANARI**

(54) PICTURE COMPRESSION SYSTEM

(57)Abstract:

PURPOSE: To accelerate a picture compression processing speed by immediately writing the next data in the row of a block memory for which the read of a discrete cosine transformation coefficient for a quantization processing is ended.

CONSTITUTION: A block memory 2 stores the two-dimensional block data of 8×8 picture elements and a DCT processing means 1 performs discrete cosine transformation (DCT), generates the DCT coefficient and writes it in the address of the block memory 2 generated in the order of raster scanning by a raster address generation means 4. A sampling part 3 reads the DCT coefficient from the address of the block memory 2 generated in the order of zigzag scanning by a zigzag address generation means 5 and performs sampling. A control part 7 detects that all the DCT coefficients in one of rows of the block memory 2 are read by the sampling part 3 and controls the raster address generation means 4 and the DCT processing means 1 to start writing the DCT coefficient in the row concerned.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-195954

(43)公開日 平成8年(1996)7月30日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N	7/30			
G 0 6 T	1/60			
	9/00			

H 0 4 N 7/ 133 Z
G 0 6 F 15/ 64 4 5 0 G

審査請求 未請求 請求項の数8 O L (全 12 頁) 最終頁に続く

(21)出願番号 特願平7-3233

(22)出願日 平成7年(1995)1月12日

(71)出願人 391051588

富士フイルムマイクロデバイス株式会社
宮城県黒川郡大和町松坂平1丁目6番地

(71)出願人 000005201

富士写真フイルム株式会社
神奈川県南足柄市中沼210番地

(72)発明者 浅野 真成

宮城県黒川郡大和町松坂平1丁目6番地
富士フイルムマイクロデバイス株式会社内

(74)代理人 弁理士 高橋 敬四郎 (外1名)

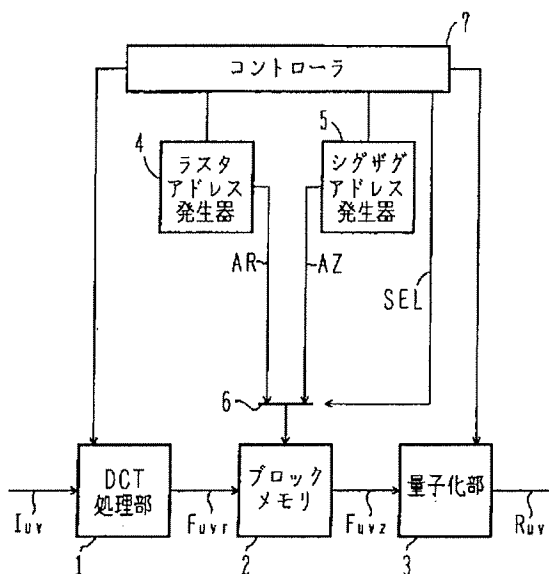
(54)【発明の名称】 画像圧縮システム

(57)【要約】

【目的】 デジタル画像の圧縮に関し、高速に画像データの圧縮処理を行うことができる画像圧縮システムを提供することを目的とする。

【構成】 2次元のブロックデータを記憶するためのブロックメモリ(2)と、離散コサイン変換(以下、DCTという)を行ってDCT係数を生成し、ブロックメモリのラスタスキャンのアドレスにDCT係数を書き込むためのDCT処理手段(1)と、ブロックメモリのジグザグスキャンのアドレスからDCT係数を読み出して、量子化を行う量子化手段(3)と、量子化手段がブロックメモリのいずれかの行に含まれる全てのDCT係数を読み出したことを検知して、DCT処理手段が当該読み出された行に書き込みを開始するように、DCT処理手段とラスタアドレス発生手段の処理を制御するための制御手段(7)とを有する。

実施例1



【特許請求の範囲】

【請求項 1】 2次元のブロックデータを記憶するためのブロックメモリ(2)と、ラスタスキャンの順番で前記ブロックメモリのアドレスを生成するラスタアドレス発生手段(4)と、ジグザグスキャンの順番で前記ブロックメモリのアドレスを生成するジグザグアドレス発生手段(5)と、離散コサイン変換(以下、DCTという)を行ってDCT係数を生成し、前記ラスタアドレス発生手段により生成される前記ブロックメモリのアドレスにDCT係数を書き込むためのDCT処理手段(1)と、前記ジグザグアドレス発生手段により生成される前記ブロックメモリのアドレスからDCT係数を読み出して、量子化を行う量子化手段(3)と、前記量子化手段がブロックメモリのいずれかの行に含まれる全てのDCT係数を読み出したことを検知して、前記DCT処理手段が当該読み出された行に書き込みを開始するように、DCT処理手段とラスタアドレス発生手段の処理を制御するための制御手段(7)とを有する画像圧縮システム。

【請求項 2】 さらに、前記量子化手段により量子化されたDCT係数をランレングス符号化するためのランレングス符号化手段(55)と、前記ランレングス符号化手段により符号化される符号をハフマン符号化するためのハフマン符号化手段(55)とを有する請求項1記載の画像圧縮システム。

【請求項 3】 DCTおよび量子化を含む処理を行うことにより生成される画像圧縮データを伸張するための画像伸張システムであって、

2次元のブロックデータを記憶するためのブロックメモリ(22)と、ジグザグスキャンの順番で前記ブロックメモリのアドレスを生成するジグザグアドレス発生手段(24)と、ラスタスキャンの順番で前記ブロックメモリのアドレスを生成するラスタアドレス発生手段(25)と、画像圧縮されたデータを逆量子化してDCT係数を生成し、前記ジグザグアドレス発生手段により生成される前記ブロックメモリのアドレスにDCT係数を書き込むための逆量子化手段(21)と、前記ラスタアドレス発生手段により生成される前記ブロックメモリのアドレスからDCT係数を読み出して、逆離散コサイン変換(以下、IDCTという)を行うIDCT処理手段(23)と、前記逆量子化手段がブロックメモリのいずれかの行に含まれる全てのDCT係数を書き込んだことを検知して、前記IDCT処理手段が当該書き込まれた行の読み出しを開始するように、IDCT処理手段とラスタアドレス発生手段の処理を制御するための制御手段(27)とを有する画像伸張システム。

【請求項 4】 さらに、画像圧縮データをハフマン復号

化するためのハフマン復号化手段(57)と、前記ハフマン復号化手段により復号化されるデータをランレングス復号化するためのランレングス復号化手段(57)とを有し、前記逆量子化手段は前記ランレングス復号化手段により復号化されるデータを逆量子化する請求項3記載の画像伸張システム。

【請求項 5】 少なくとも1ラインのデータを記憶することができるメモリ(32)と、前記メモリのアドレスを生成するアドレス発生手段(34、35)と、DCTを行ってDCT係数を生成し、前記アドレス発生手段により生成される前記メモリのアドレスにDCT係数を書き込むためのDCT処理手段(31)と、前記アドレス発生手段により生成される前記メモリのアドレスからDCT係数を読み出して、量子化を行う量子化手段(33)と、前記量子化手段が前記メモリから1ライン分のデータを読み出したことを検知して、前記DCT処理手段が前記メモリに書き込みを開始するように制御するための制御手段とを有する画像圧縮システム。

【請求項 6】 DCTおよび量子化を行うことにより生成される画像圧縮データを伸張するための画像伸張システムであって、少なくとも1ラインのデータを記憶することができるメモリ(42)と、前記メモリのアドレスを生成するアドレス発生手段(44、45)と、画像圧縮データを逆量子化してDCT係数を生成し、前記アドレス発生手段により生成される前記メモリのアドレスにDCT係数を書き込むための逆量子化手段(41)と、前記アドレス発生手段により生成される前記メモリのアドレスからDCT係数を読み出して、IDCTを行うIDCT処理手段(43)と、前記逆量子化手段が前記メモリから1ライン分のデータを書き込んだことを検知して、前記IDCT処理手段が前記メモリからの読み出しを開始するように制御するための制御手段とを有する画像伸張システム。

【請求項 7】 2次元のブロックデータを記憶するためのブロックメモリを有する画像圧縮システムを用いた画像圧縮方法であって、DCTを行ってDCT係数を生成し、ラスタスキャンの順番でブロックメモリにDCT係数を書き込むDCT処理工程と、ジグザグスキャンの順番でブロックメモリからDCT係数を読み出して、量子化を行う量子化工程とを含み、前記DCT処理工程は、前記量子化工程でブロックメモリのいずれかの行に含まれるDCT係数を全て読み出したことを検知して、当該読み出された行に書き込みを開始する画像圧縮方法。

【請求項 8】 2次元のブロックデータを記憶するためのブロックメモリを有する画像伸張システムを用いて、DCTおよび量子化を行うことにより生成される画像圧縮データを伸張するための画像伸張方法であって、画像圧縮データを逆量子化してDCT係数を生成し、ジグザグスキャンの順番でブロックメモリにDCT係数を書き込む逆量子化工程と、ラスタスキャンの順番でブロックメモリからDCT係数を読み出して、IDCTを行うIDCT処理工程とを含み、前記IDCT処理工程は、前記逆量子化工程でブロックメモリのいずれかの行に全てのDCT係数を書き込んだことを検知して、当該書き込まれた行の読み出しを開始する画像伸張方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デジタル画像処理に関し、特にデジタル画像の圧縮に関する。

【0002】

【従来の技術】静止画画像の標準的な圧縮方式として、*

$$F = D' \cdot I \cdot D$$

図10は、原画像データIuvを基にDCT演算を行うことにより、DCT係数Fuvを得る過程を説明するための図である。

【0007】演算対象である原画像データIuvは、8×8の行列であり、演算結果であるDCT係数Fuvも8×8の行列である。DCT係数の行列Fuvは、行数および列数が小さい（行列の左上方向に向かう）ほど、低い周波数成分の係数を表し、逆に行数および列数が大きい（右下方向に向かう）ほど、高い周波数成分の係数を表す。

【0008】原画像データIuvの第0行（L0）が入力されると、DCT係数Fuvの第0行（L0）を演算することができる。DCT演算は、行毎に演算を行うことができる。DCT演算が行われると、DCT係数Fuvは、ラスタスキャンの順番で出力される。

【0009】図13は、8×8の行列において、ラスタスキャンを行う際の順番を示す図である。ラスタスキャンは、まず第0行（L0）からスキャンを始める。第0*

$$R_{uv} = \text{round} (F_{uv} / Q_{uv})$$

図11は、量子化テーブルQuvの行列を示す図である。量子化テーブルQuvは、8行8列からなり、DCT係数Fuvに対して低い周波数成分ほど値が小さく、細かな量子化を行い、高い周波数成分ほど値が大きく、粗い量子化を行う。

【0013】図12は、一般的な画像ブロックについてのDCT係数Fuvに対して上式の量子化演算を行うことにより得られる係数Ruvの例である。低周波成分については細かな量子化を行い、高周波成分については粗い量子化を行うことにより、高周波成分の量子化データRuvは小さな値となる。一般的に、量子化データRu

* JPEG (joint photographic expert group) 圧縮方式がある。

【0003】図9は、JPEG圧縮の処理手順を示すブロック図である。原画像データIuvは、圧縮対象となる画像データであり、空間領域で表される。原画像データIuvは、原画像を8×8ブロックに分割した内の1ブロックを表す行列である。原画像データの行列Iuvの成分は、原画像の各画素データを表す。

【0004】離散コサイン変換（以下、DCTという）演算処理回路51は、原画像データIuvに対してDCT演算を行い、DCT係数Fuvを生成する。DCT係数Fuvは、周波数領域で表された情報（空間周波数成分）である。

【0005】DCT演算処理回路51は、8×8の原画像データIuvについて、DCT演算を行う。原画像データIuvを、転置コサイン係数行列D' とコサイン係数行列Dとで挟み、行列演算を行うことによって、DCT係数Fuvが得られる。

【0006】

・・・(1)

* 行（L0）については、左から右へ順番にスキャンされる。第0行（L0）のスキャンが終わると、次は第1行（L1）について、スキャンが行われる。以後、同様にして、第2行（L2）から第7行（L7）まで順番にスキャンが行われる。

【0010】図9において、DCT演算により得られるDCT係数Fuvは、量子化演算処理回路53において量子化演算され、量子化データRuvが得られる。8×8のDCT係数Fuvは、周波数成分によって変化する量子化テーブルQuvで除算され、周波数が低いほど細かく、周波数が高いほど粗い量子化が行われる。

【0011】すなわち、DCT係数Fuvは、行uおよび列vが小さい成分ほど細かなステップサイズの量子化テーブルQuvを用いてFuv/Quvに線形量子化される。

【0012】量子化され、丸められた係数Ruvは、以下の式で表される。丸め込みroundは、最も近い整数への整数化を意味する。

・・・(2)

vのうち、高周波成分（行列の右下部分）に0の値が集まりやすい。

【0014】図9において、量子化データRuvは、符号化演算処理回路55においてランレングス符号化およびハフマン符号化が行われ、圧縮画像データdataが生成される。

【0015】ランレングス符号化は、0の値が連続して続くようなデータに対して、高圧縮を行うことができる。図12に示した量子化データRuvは、行列の右下に多くの0が集まっている。この性質を利用して、量子化データの行列Ruvをラスタスキャンでなく、ジグザ

グスキャンでランレングス符号化を行えば、高圧縮を行うことができる。

【0016】図14は、 8×8 の行列において、ジグザグスキャンを行う際の順番を示す図である。ジグザグスキャンは、行列の左上(0番)からジグザグ形状で右下(63番目)までスキャンする。量子化データRuvについて、ジグザグスキャンを行えば、低周波成分が位置する行列の左上から高周波成分が位置する行列の右下までを順次スキャンすることができる。

【0017】量子化データRuv(図12)は、以上の理由により高周波成分(行列の右下)に0の値が集まりやすい性質があるため、ランレングス符号化を行うには、ラストスキャン(図13)を行うよりもジグザグスキャン(図14)を行う方が、高圧縮を実現することができる。

【0018】図9において、符号化演算処理回路55は、ランレングス符号化を行った後に、ハフマン符号化を行い、圧縮画像データdataを生成する。生成された圧縮画像データdataは、記憶媒体に格納される。

【0019】以上のように、JPEG圧縮では、データのスクラン方法として、ラストスキャンとジグザグスキャンの両方を用いる。図9において、DCT演算処理回路51は、ラストスキャンでDCT係数Fuvを出力する。そして、量子化演算処理回路53には、ジグザグスキャンでDCT係数Fuvを入力する。

【0020】この際、 8×8 のDCT係数Fuvを記憶するためのブロックメモリを使って、データの流れをラストスキャンからジグザグスキャンに変換する。DCT演算処理回路51から出力されるDCT係数Fuvは、ラストスキャンの順番で、ブロックメモリに書き込まれる。量子化演算処理回路53には、ジグザグスキャンでブロックメモリから読み出したDCT係数Fuvが入力される。

【0021】図15は、ブロックメモリを使った場合のDCT処理と量子化処理を行う時間的タイミングを示す図である。DCT処理60、61は、DCT演算処理回路51(図9)が行う処理であり、量子化処理61は、量子化演算処理回路53(図9)が行う処理である。

【0022】各処理は、前述のように 8×8 のブロックのデータを単位として、処理を行う。n番目のブロックについてのDCT処理60は、DCT演算を行い、ラストスキャンの順番で、ブロックメモリにDCT係数Fuvを書き込む。 $8 \times 8 = 64$ 個のDCT係数Fuvのうち最後の63番目のデータを書き込んだ後に、n番目のブロックの量子化処理61が開始する。

【0023】量子化処理61は、0番目から順番に63番目までのDCT係数Fuvを、ジグザグスキャンの順番でブロックメモリから読み出し、処理を行う。63番目のDCT係数Fuvが読み出された後に、n+1番目のブロックについてのDCT処理62が開始する。

【0024】DCT処理62は、0番目から順番に63番目までのDCT係数Fuvを、ラストスキャンの順番で、ブロックメモリへ書き込む。以上のように、ブロックメモリには、まず64個のデータが全て書き込まれ、その後にデータの読み出しが開始する。そして、64個のデータが全て読み出された後に、次のブロックのデータの書き込みが開始する。

【0025】

【発明が解決しようとする課題】ブロックメモリに対して、ラストスキャンで書き込みを行い、ジグザグスキャンで読み出しを行う際には、処理単位となるブロック内の全てのデータの書き込みが終わってから読み出しを行っていた。

【0026】一般的に、ラストスキャンで書き込みを行う処理は、DCT演算を含むので、ジグザグスキャンで読み出しを行う処理(量子化処理を含む)に比べて、かなり長時間を要し、処理の効率が悪く、全体的に処理時間が遅くなってしまう。

【0027】本発明の目的は、高速に画像データの圧縮を行うことができる画像圧縮システムを提供することである。

【0028】

【課題を解決するための手段】本発明の画像圧縮システムは、2次元のブロックデータを記憶するためのブロックメモリと、ラストスキャンの順番でブロックメモリのアドレスを生成するラストアドレス発生手段と、ジグザグスキャンの順番でブロックメモリのアドレスを生成するジグザグアドレス発生手段と、離散コサイン変換(以下、DCTという)を行ってDCT係数を生成し、ラストアドレス発生手段により生成されるブロックメモリのアドレスにDCT係数を書き込むためのDCT処理手段と、ジグザグアドレス発生手段により生成されるブロックメモリのアドレスからDCT係数を読み出して、量子化を行う量子化手段と、量子化手段がブロックメモリのいずれかの行に含まれる全てのDCT係数を読み出したことを検知して、DCT処理手段が当該読み出された行に書き込みを開始するように、DCT処理手段とラストアドレス発生手段の処理を制御するための制御手段とを有する。

【0029】

【作用】DCT処理手段は、量子化手段がブロックメモリに記憶されているDCT係数のブロックを全て読み出す前に、次のDCT係数ブロックのDCT係数をブロックメモリに書き込むことができる。

【0030】

【実施例】図1は、本発明の第1の実施例による画像圧縮システムの構成を示すブロック図である。

【0031】本実施例の画像圧縮システムは、例えば、JPEG圧縮処理のうちの一部を示す。画像圧縮システムは、供給される原画像データIuvに対して、DCT

処理部 1 において DCT 処理を行い、DCT 係数 F_{uv} r を出力し、ラスタスキャンの順番でブロックメモリ 2 に書き込みを行う。量子化部 3 は、ブロックメモリ 2 からジグザグスキャンの順番で DCT 係数 F_{uv} z の読み出しを行い、量子化処理を行い、量子化データ R_{uv} を出力する。

【0032】ブロックメモリ 2 は、 8×8 の 1 ブロック分のデータを記憶することができるメモリバッファである。以下、ブロックメモリ 2 がシングルポートメモリである場合を例に説明する。

【0033】本実施例では、ブロックメモリ 2 への書き込みのタイミングまたは読み出しのタイミングを制御することにより、画像圧縮処理の高速化を図る。以下、そのタイミングの制御方法を説明する。

【0034】DCT 処理部 1 は、供給される原画像データ I_{uv} について、DCT 処理を行い、ラスタスキャンの順番でブロックメモリ 2 に DCT 係数 F_{uv} r を出力する。ブロックメモリ 2 には、DCT 係数 F_{uv} r が入力される一方、ラスタアドレス発生器 4 において生成されるラスタアドレス AR が、セクタ 6 を介して入力される。

【0035】DCT 処理部 1 から出力される DCT 係数 F_{uv} r は、ブロックメモリ 2 中のラスタアドレス AR で指定されるアドレスに書き込みが行われる。ラスタアドレス AR は、ラスタスキャンの順番 (図 13) で生成されるメモリアドレスである。

【0036】セクタ 6 は、コントローラ 7 が生成するセレクト信号 SEL に応じて、ラスタアドレス発生器 4 が生成するラスタアドレス AR 、またはジグザグアドレス発生器 5 が生成するジグザグアドレス AZ のいずれかのアドレスをブロックメモリ 2 に供給する。

【0037】コントローラ 7 は、一番最初のブロック (0 番目から 63 番目の全てのデータを含む) の原画像データ I_{uv} が供給されるときには、ラスタアドレス AR を選択するための選択信号 SEL を、セクタ 6 に供給する。

【0038】図 2 に示すように、DCT 処理 10 において、DCT 処理部 1 がブロックメモリ 2 に 63 番目の最後の DCT 係数 F_{uv} r を書き込むと、量子化処理 11 において、量子化部 3 は、0 番目の DCT 係数 F_{uv} z の読み出しを開始する。この際、コントローラ 7 は、量子化部 3 の処理開始と、ジグザグアドレス発生器 5 にジグザグアドレス AZ の生成開始を指示する。ジグザグアドレス発生器 5 は、0 番目のデータから順番にジグザグアドレス AZ の生成を開始する。ジグザグアドレス AZ は、ジグザグアドレスの順番で生成されるメモリアドレスである。

【0039】図 1 において、セクタ 7 は、コントローラ 7 からセレクト信号 SEL を受けて、ジグザグ発生器 5 が生成するジグザグアドレス AZ を選択する。ジグザ

グアドレス発生器 5 は、ジグザグスキャンの順番 (図 14) でメモリアドレスを順次生成する。

【0040】ブロックメモリ 2 には、セクタ 7 を介して、ジグザグアドレス AZ が供給される。量子化部 3 は、ジグザグスキャンの順番で、ブロックメモリ 2 から DCT 係数 F_{uv} z を読み出す。

【0041】図 2 に示すように、量子化処理 11 において、量子化部 3 が 28 番目の DCT 係数 F_{uv} z を読み出すと、コントローラ 7 は、DCT 処理部 1 の処理開始と、ラスタアドレス発生器 4 にラスタアドレス AR の生成開始を指示する。28 番目の DCT 係数 F_{uv} z とは、図 14 に示すように最も右上のデータである。28 番目のデータの読み出しが終了すれば、第 0 行 ($L0$) の 8 つのデータを書き込むことが可能である。

【0042】ラスタアドレス発生器 4 は、上記のコントローラ 7 からの指示を受けて、0 番目のデータから順次ラスタアドレス AR の生成を開始する。図 2 の DCT 処理部 12 において、量子化処理 11 の 28 番目のデータの読み出しを終了した後に、DCT 処理部 1 は、次のブロックデータのうちの 0 行目 (0 番目 ~ 7 番目) の DCT 係数 F_{uv} r の書き込みを開始する。

【0043】図 3 は、ブロックメモリ 2 に対して、量子化部 3 が読み出すタイミングと DCT 処理部 1 が書き込むタイミングを説明するための図である。図 3 (A) において、量子化部 3 が 0 番目から 28 番目までのデータをブロックメモリ 2 からジグザグスキャンで読み出しを行った際、29 番目から 63 番目までのデータは未だ読み出されていない。読み出された 0 番目から 28 番目までのデータは図示せず、未だ読み出されていない 29 番目から 63 番目までのデータのみ図示する。

【0044】28 番目のデータが読み出されると、第 0 行 ($L0$) の 8 つのデータ (図 14 における 0 番目、1 番目、5 番目、6 番目、14 番目、15 番目、27 番目、28 番目) は全て読み出されたことになるので、DCT 処理部 1 は次のブロックデータの第 0 行 ($L0$) のデータ (0 番目 ~ 7 番目) を書き込むことができる。

【0045】続いて、図 3 (B) において、量子化部 3 が 29 番目から 42 番目のデータをブロックメモリ 2 からジグザグスキャンで読み出しを行った際、43 番目から 63 番目までのデータが未だ読み出されていない。読み出された 0 番目から 42 番目までのデータは図示せず、未だ読み出されていない 43 番目から 63 番目までのデータのみ図示する。

【0046】42 番目のデータが読み出されると、第 1 行 ($L1$) の 8 つのデータ (図 14 における 2 番目、4 番目、7 番目、13 番目、16 番目、26 番目、29 番目、42 番目) は全て読み出されたことになるので、DCT 処理部 1 は新たな第 1 行 ($L1$) のデータ (8 番目 ~ 15 番目) を書き込むことができる。

【0047】以下、同様にして、量子化部 3 が 43 番目

のデータを読み出した後、DCT処理部1は新たな第2行(L2)のデータを書き込むことができる。量子化部3が53番目、54番目、60番目、61番目、63番目のデータを読み出したときには、それぞれ第3行(L3)、第4行(L4)、第5行(L5)、第6行(L6)、第7行(L7)のデータをDCT処理部1が書き込むことができる。

【0048】以上の読み出しと書き込みのタイミングの切り換えは、図1のコントローラ7が制御する。コントローラ7は、DCT処理部1と量子化部3の処理開始を制御すると共に、ラスタアドレス発生器4とジグザグアドレス発生器5のアドレス生成を制御する。

【0049】以上の処理の流れを図2において説明する。DCT処理10は、DCT処理部1がn番目のブロックに対して行う処理である。DCT処理10において、DCT処理部1は、n番目のブロック内の0番目から63番目のDCT係数を演算し、ブロックメモリ2にラスタスキャンの順番で書き込む。63番目のDCT係数が書き込まれると、量子化処理11の処理が開始する。

【0050】量子化処理11は、DCT処理11で演算されたn番目のDCT係数ブロックに対して量子化部3が行う処理である。量子化処理11において、量子化部3は、ブロックメモリ2からジグザグスキャンの順番で0番目から順番にDCT係数を読み出し、量子化を行う。0番目から28番目までのDCT係数の読み出しが終了すると、DCT処理12が開始する。

【0051】DCT処理12は、DCT処理部1がn+1番目のブロックに対して行う処理である。DCT処理12において、DCT処理部1は、n+1番目のブロック内の第0行(0番目~7番目)のDCT係数を演算し、ブロックメモリ2にラスタスキャンの順番で書き込む。

【0052】量子化処理11において、量子化部3は上記のn番目ブロックの0番目から28番目のDCT係数をジグザグスキャンの順番で処理した後、続いて29番目から42番目のDCT係数の処理を行う。42番目のDCT係数の処理(読み出し)が終了すると、DCT処理12において、DCT処理部1は、n+1番目のブロック内の第1行(8番目~15番目)のDCT係数を演算し、ブロックメモリ2にラスタスキャンの順番で書き込む。

【0053】以下、同様に、量子化処理11において、図3に示す43番目、53番目、54番目、60番目、61番目、63番目のDCT係数がジグザグスキャンで*

$$F'_{uv} = R_{uv} \cdot Q_{uv}$$

DCT係数 F'_{uv} は、JPEG圧縮時に生成されたDCT係数 F_{uv} に対して量子化誤差を含んだDCT係数で表される。

【0061】DCT係数 F'_{uv} は、逆DCT(以下、50

*読み出されると、それぞれ、DCT処理12において、図13に示した第2行(L2)、第3行(L3)、第4行(L4)、第5行(L5)、第6行(L6)、第7行(L7)のデータが書き込まれる。

【0054】図示しないが、DCT処理12において、第7行(L7)の書き込みが終了すると、量子化部3は、量子化処理11と同様に、n+1番目ブロックのDCT係数の読み出しを開始する。

【0055】なお、量子化処理11において、量子化部3は、必ずしも、DCT処理10においてDCT処理部1が63番目のデータを含む第7行(L7)の書き込みを終了するのを待って、読み出しを開始する必要はない。例えば、DCT処理部1が第5行(L5)の書き込みを終了した時点で、量子化部3はジグザグスキャンで20番目までのDCT係数を読み出しでもよい。

【0056】以上のように、量子化処理11とDCT処理12は、それぞれのデータブロックの処理途中において、ブロックメモリ2に対して書き込みまたは読み出しを行うことができる。一般に、DCT処理は、量子化処理よりも長時間の処理時間を要するので、上記のようにブロックメモリ2へのアクセスタイミングを制御することにより、時間的に効率よく処理を行うことができ、高速な画像圧縮を行える。

【0057】以上は、原画像データを圧縮する際における処理の実施例について説明した。次は、圧縮された圧縮画像データを伸張する際の実施例を説明する。図4は、JPEG伸張の処理を示すブロック図である。JPEG伸張は、前述の図9で示したJPEG圧縮により生成された圧縮画像データを伸張することにより、画像データを復元するための処理である。JPEG伸張も、JPEG圧縮と同様に8×8の1ブロックを単位として処理を行う。

【0058】記憶媒体に格納されている圧縮画像データdataは、復号化演算処理回路57においてハフマン復号化およびランレングス復号化され、量子化データRuvが生成される。ハフマン符号化およびランレングス符号化は可逆符号化であるので、復号化された量子化データRuvはJPEG圧縮時(図9)の量子化データRuvと同じである。

【0059】量子化データRuvは、逆量子化演算処理回路59において量子化テーブルQuvとの積により逆量子化演算され、DCT係数 F'_{uv} に戻される。量子化テーブルQuvは、JPEG圧縮時に用いた図11の量子化テーブルと同じものを用いる。

【0060】

$$\cdots (3)$$

IDCTという)演算処理回路61において逆方向のDCT演算が行われ、空間領域の画像データ I'_{uv} に変換される。IDCT演算処理回路61は、DCT係数 F'_{uv} を、コサイン係数行列Dと転置コサイン係数行

列 D' とで挟み、行列演算を行うことによって伸張画像データ I'_{uv} を得る。

$$I' = D F' D'$$

伸張画像データ I'_{uv} は、J P E G 圧縮前の原画像データ I_{uv} に対して、D C T 誤差と量子化誤差が含まれているものとして、復元される。

【0063】次は、本発明を、以上の J P E G 伸張に適用する場合の例を説明する。図 5 は、本発明の第 2 の実施例による画像伸張システムの構成を示すブロック図である。本実施例の画像伸張システムは、例えば、J P E G 伸張処理のうちの一部を示す。

【0064】逆量子化部 21 は、供給される量子化データ R_{uv} に対して逆量子化処理を行い、D C T 係数 F'_{uvz} を出力する。D C T 係数 F'_{uvz} は、ジグザグスキャンの順番でブロックメモリ 22 に書き込まれる。I D C T 処理部 23 は、ブロックメモリ 22 からラスタスキャンの順番で D C T 係数 F'_{uvr} を読み出し、I D C T 処理を行い、伸張画像データ I'_{uv} を出力する。

【0065】前述と同様に、ジグザグアドレス発生器 24 はジグザグアドレス AZ を生成し、ラスタアドレス発生器 25 はラスタアドレス AR を生成する。セレクト 26 は、選択信号 SEL に応じて、ジグザグアドレス AZ またはラスタアドレス AR を選択して、ブロックメモリ 22 に供給する。

【0066】先の J P E G 圧縮の実施例では、ラスタスキャンでブロックメモリ 22 に書き込んだ後に、ジグザグスキャンで読み出しを行ったが、J P E G 伸張の場合には、ジグザグスキャンでブロックメモリ 22 に書き込んだ後に、ラスタスキャンで読み出しを行う。

【0067】以下、ジグザグアドレス発生器 24 がジグザグアドレス AZ を生成するタイミング、ラスタアドレス発生器 25 がラスタアドレス AR を生成するタイミング、および逆量子化部 21 と I D C T 処理部 23 が処理を開始するタイミングを説明する。

【0068】図 6 は、ブロックメモリ 22 に対して、逆量子化部 21 が書き込むタイミングと I D C T 処理部 23 が読み出すタイミングを説明するための図である。図 6 (A) は、逆量子化部 21 がジグザグスキャンで 0 番目から 28 番目までのデータをブロックメモリ 22 に書き込んだ際のブロックメモリ 22 の概略図である。書き込まれた 0 番目から 28 番目までのデータのみ図示する。

【0069】28 番目のデータが書き込まれると、第 0 行 (L 0) の 8 つのデータ (ジグザグスキャンにおける 0 番目、1 番目、5 番目、6 番目、14 番目、15 番目、27 番目、28 番目のデータ) は全て書き込まれたことになるので、I D C T 処理部 23 はブロックメモリ 22 に記憶されている第 0 行 (L 0) のデータを読み出すことができる。

* 【0062】

・・・ (4)

【0070】図 6 (B) は、続いて、逆量子化部 21 がジグザグスキャンで 29 番目から 42 番目のデータをブロックメモリ 22 に書き込んだ際のブロックメモリ 22 の概略図である。既に書き込まれた 0 番目から 42 番目までのデータのみ図示する。

【0071】42 番目のデータが書き込まれると、第 1 行 (L 1) の 8 つのデータ (ジグザグスキャンにおける 2 番目、4 番目、7 番目、13 番目、16 番目、26 番目、29 番目、42 番目のデータ) は全て書き込まれたことになるので、I D C T 処理部 23 はブロックメモリ 22 に記憶されている第 1 行 (L 1) のデータを読み出すことができる。

【0072】以下、同様にして、逆量子化部 21 が 43 番目のデータを書き込んだ後、I D C T 処理部 23 は第 2 行 (L 2) のデータを読み出すことができる。逆量子化部 21 が 53 番目、54 番目、60 番目、61 番目、63 番目のデータを書き込んだときには、それぞれ第 3 行 (L 3)、第 4 行 (L 4)、第 5 行 (L 5)、第 6 行 (L 6)、第 7 行 (L 7) のデータを I D C T 処理部 23 が読み出すことができる。

【0073】以上の書き込みと読み出しのタイミングの切り換えは、図 5 のコントローラ 27 が制御する。コントローラ 27 は、逆量子化部 21 と I D C T 処理部 23 の処理開始を制御すると共に、ジグザグアドレス発生器 24 とラスタアドレス発生器 25 のアドレス生成を制御する。

【0074】以上 J P E G 方式の圧縮および伸張の場合における D C T 処理と量子化処理の場合について述べた。次は、J P E G 方式に限らず、ブロックメモリに対してラスタスキャンで書き込み、ラスタスキャンで読み出す場合を例に説明する。

【0075】図 7 は、本発明の第 3 の実施例による画像圧縮システムの構成を示すブロック図である。本実施例の画像圧縮システムは、図 1 に示した第 1 の実施例において、ブロックメモリ 2 の代わりに、ラインメモリ 32 を用いる。ラインメモリ 32 は、ラスタスキャンにより、1 ライン内のデータが先頭から最後まで順次アクセスされる。

【0076】D C T 処理部 31 は、供給される原画像データ I_{uv} に対して、D C T 処理を行い、D C T 係数 F_{uv1} を出力し、ラスタスキャンでラインメモリ 32 にラインデータの書き込みを行う。量子化部 33 は、ラインメモリ 32 からラスタスキャンの順番で D C T 係数 F_{uv2} のラインデータを読み出し、量子化処理を行い、量子化データ R_{uv} を出力する。

【0077】書き込みアドレス発生器 34 は、ラインメモリ 32 に書き込むための書き込みアドレス $A1$ を生成

し、読み出しアドレス発生器 35 は、ラインメモリ 32 から読み出すための読み出しアドレス A2 を生成する。セレクト 36 は、選択信号 SEL に応じて、書き込みアドレス A1 または読み出しアドレス A2 をラインメモリ 32 に供給する。

【0078】 DCT 処理部 31 は、供給される原画像データ Iuv について、DCT 処理を行い、ラスタスキャンの順番でラインメモリ 32 に DCT 係数 Fuv1 の 1 行分を書き込む。量子化部 33 は、ラインメモリ 32 からラスタスキャンの順番で DCT 係数 Fuv2 を読み出す。ラスタスキャンの順番で読み出された DCT 係数 Fuv2 は、量子化され、量子化データ Ru v が出力される。

【0079】 以下、書き込みアドレス発生器 34 が書き込みアドレス A1 を生成するタイミング、読み出しアドレス発生器 35 が読み出しアドレス A2 を生成するタイミング、および DCT 処理部 31 と量子化部 33 が処理を開始するタイミングを説明する。

【0080】 DCT 処理部 31 は、原画像データ Iuv を DCT 処理し、第 0 ライン (L0) の DCT 係数 Fuv1 をラインメモリ 32 に書き込む。第 0 ライン (L0) の DCT 係数 Fuv1 の書き込みを終了すると、量子化部 33 は、ラインメモリ 32 から第 0 行 (L0) の DCT 係数 Fuv2 を読み出し、量子化処理を行い、量子化データ Ru v を生成する。

【0081】 以下、同様に、DCT 処理部 31 がラスタスキャンで第 1 行 (L1)、第 2 行 (L2)、第 3 行 (L3)、第 4 行 (L4)、第 5 行 (L5)、第 6 行 (L6)、第 7 行 (L7) のデータをそれぞれ書き込むと、量子化部 33 は、それぞれのラインデータが書き込まれた後に第 1 行 (L1)、第 2 行 (L2)、第 3 行 (L3)、第 4 行 (L4)、第 5 行 (L5)、第 6 行 (L6)、第 7 行 (L7) のデータを読み出して処理する。

【0082】 なお、アドレス A1、A2 は、書き込みアドレス発生器 34 と読み出しアドレス発生器 35 により生成する場合を説明したが、1 つのアドレス発生器で生成するようにしてもよい。

【0083】 図 8 は、本発明の第 4 の実施例による画像伸張システムの構成を示すブロック図である。本実施例の伸張圧縮システムは、図 7 に示した画像圧縮システムとは逆に、量子化データ Ru v を伸張して、伸張画像データ I'uv を生成するシステムである。

【0084】 以下、書き込みアドレス発生器 44 が書き込みアドレス A1 を生成するタイミング、読み出しアドレス発生器 45 が読み出しアドレス A2 を生成するタイミング、および逆量子化部 41 と IDCT 処理部 43 が処理を開始するタイミングを説明する。

【0085】 逆量子化部 41 は、量子化データ Ru v を逆量子化し、第 0 ライン (L0) の DCT 係数 F'uv

2 をラインメモリ 42 に書き込む。第 0 ライン (L0) の DCT 係数 F'uv2 が書き込まれると、IDCT 処理部 43 は、ラインメモリ 42 から第 0 行 (L0) の DCT 係数 F'uv1 を読み出し、IDCT 処理を行い、伸張画像データ I'uv を生成する。

【0086】 以下、同様に、逆量子化部 41 がラスタスキャンで第 1 行 (L1)、第 2 行 (L2)、第 3 行 (L3)、第 4 行 (L4)、第 5 行 (L5)、第 6 行 (L6)、第 7 行 (L7) のデータをそれぞれ書き込むと、IDCT 処理部 43 は、それぞれラインデータが書き込まれた後に第 1 行 (L1)、第 2 行 (L2)、第 3 行 (L3)、第 4 行 (L4)、第 5 行 (L5)、第 6 行 (L6)、第 7 行 (L7) のデータを読み出して処理する。

【0087】 DCT 演算は、1 ブロック (例えば、8×8) が処理の単位であるので、従来の画像圧縮または伸張の処理では、当然のようにブロックメモリに 1 ブロックを記憶させる処理を行っていた。しかし、本実施例のようにラインメモリを用いて、1 ラインを単位に記憶させることも可能である。データをライン毎に記憶させれば、処理の待ち時間が減り、画像の圧縮または伸張の処理の高速化を図ることができる。

【0088】 なお、アドレス A1、A2 は、1 つのアドレス発生器で生成するようにしてもよい。また、ラインメモリは、入力されたデータを所定時間だけ遅らせて出力する機能を有すればよいので、ファーストインファーストアウト回路 (FIFO) 等を代わりに用いてもよい。

【0089】 以上のように、ブロックメモリまたはラインメモリのアクセスタイミングを制御することにより、メモリ容量を増加させることなく、画像圧縮または伸張の処理速度を高速にすることができる。

【0090】 なお、ブロックメモリまたはラインメモリは、シングルポートメモリである場合に限らず、デュアルポートメモリの場合にも適用することができる。この場合には、書き込み、読み出しを別個のポートから行うことができ、タイミング調整の自由度が増す。

【0091】 以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0092】

【発明の効果】 以上説明したように、本発明によれば、DCT 処理手段は、量子化手段がブロックメモリに記憶されている DCT 係数のブロックを全て読み出す前に、次の DCT 係数ブロックの DCT 係数をブロックメモリに書き込むことができるので、高速に画像圧縮処理を行うことができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施例による画像圧縮システム

の構成を示すブロック図である。

【図2】DCT処理と量子化処理の時間的タイミングを示す図である。

【図3】ブロックメモリに対して量子化部が読み出すタイミングとDCT処理部が書き込むタイミングを説明するための図である。

【図4】JPEG伸張の処理を示すブロック図である。

【図5】本発明の第2の実施例による画像伸張システムの構成を示すブロック図である。

【図6】ブロックメモリに対して逆量子化部が書き込むタイミングとIDCT処理部が読み出すタイミングを説明するための図である。

【図7】本発明の第3の実施例による画像圧縮システムの構成を示すブロック図である。

【図8】本発明の第4の実施例による画像伸張システムの構成を示すブロック図である。

【図9】JPEG圧縮の処理手順を示すブロック図である。

【図10】DCT演算を説明するための図である。

【図11】量子化テーブル Q_{uv} の行列を示す図である。

【図12】一般的な画像ブロックについてのDCT係数 F_{uv} に対して量子化演算を行うことにより得られる係数 R_{uv} の行列を示す図である。

【図13】 8×8 の行列においてラスタスキャンの順番を示す図である。

20

*

*【図14】 8×8 の行列においてジグザグスキャンの順番を示す図である。

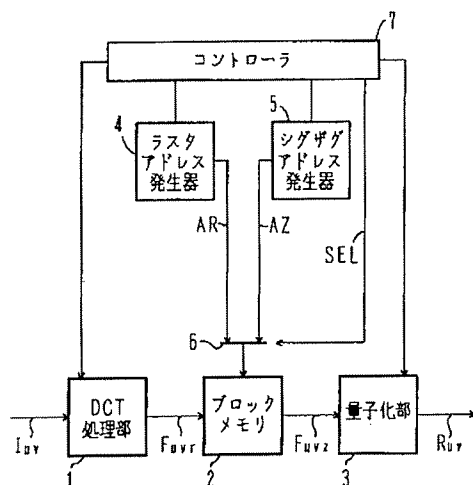
【図15】従来技術によりDCT処理と量子化処理を行う時間的タイミングを示す図である。

【符号の説明】

- 1, 31 離散コサイン変換(DCT)処理部
- 23, 43 逆離散コサイン変換(IDCT)処理部
- 2, 22 ブロックメモリ
- 32, 42 ラインメモリ
- 3, 33 量子化部
- 21, 41 逆量子化部
- 4, 25 ラスタアドレス発生器
- 5, 24 ジグザグアドレス発生器
- 34, 44 書き込みアドレス発生器
- 35, 45 読み出しアドレス発生器
- 6, 26, 36, 46 セレクタ
- 7, 27, 37, 47 コントローラ
- 10, 12, 60, 62 DCT処理
- 11, 61 量子化処理
- 51 DCT演算処理回路
- 53 量子化演算処理回路
- 55 符号化演算処理回路
- 57 復号化演算処理回路
- 59 逆量子化演算処理回路
- 61 IDCT演算処理回路

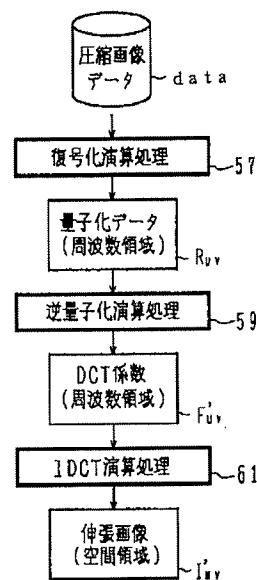
【図1】

実施例1



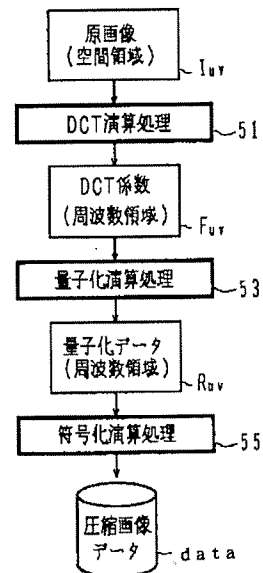
【図4】

JPEG伸張



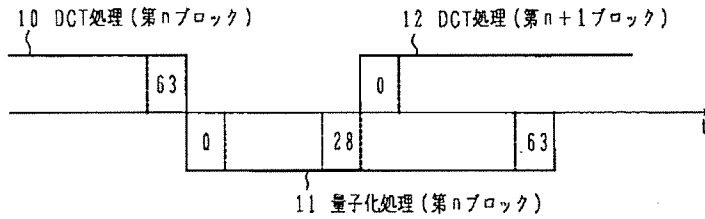
【図9】

JPEG圧縮



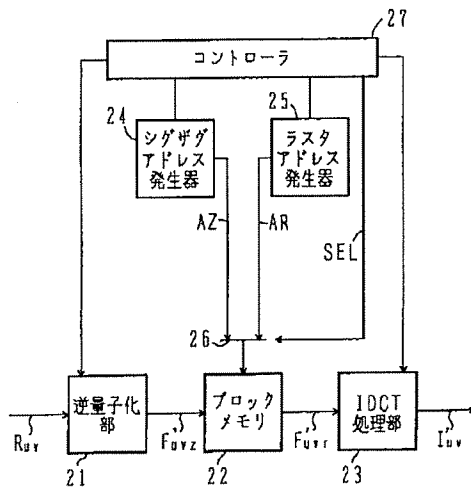
【図 2】

実施例 1 の処理タイミング



【図 5】

実施例 2



【図 11】

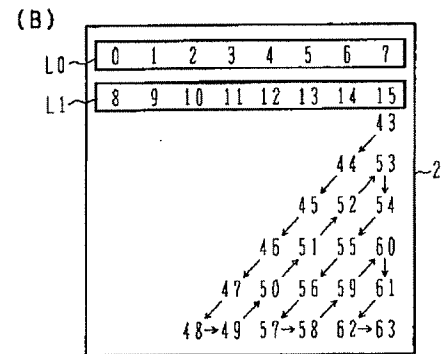
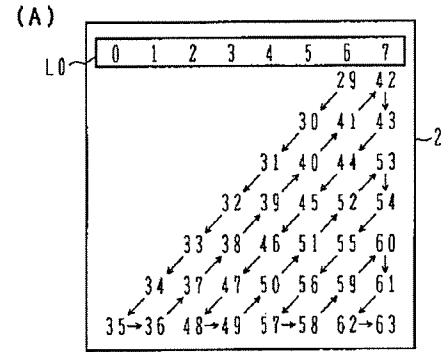
量子化テーブル

16	11	10	16	24	40	51	61
12	12	14	19	26	58	60	55
14	13	16	24	40	57	69	56
14	17	22	29	51	87	80	62
18	22	37	56	68	103	103	77
24	35	55	64	81	104	113	92
49	64	78	87	103	121	120	101
72	92	95	98	112	100	103	99

Q_{uv}

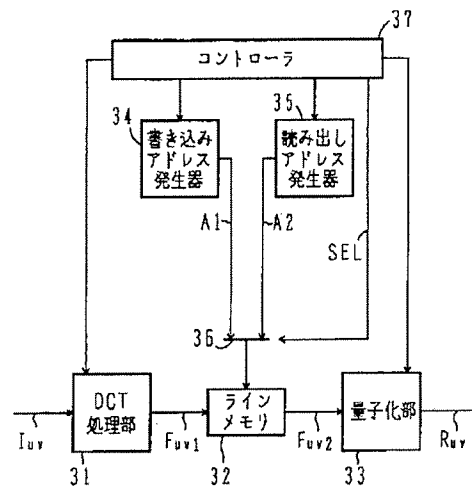
【図 3】

ブロックメモリへのアクセス



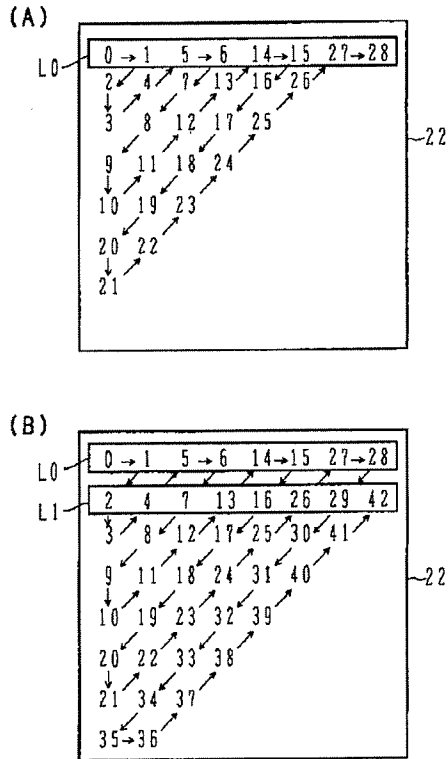
【図 7】

実施例 3



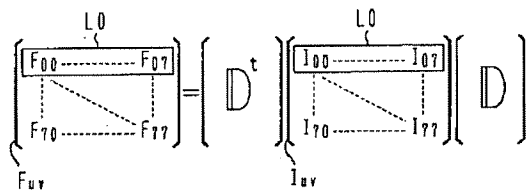
【図6】

ブロックメモリへのアクセス



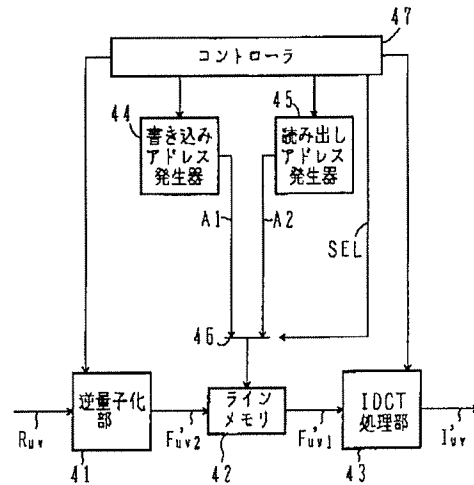
【図10】

DCT演算



【図8】

実施例4



【図12】

量子化データ

16	-1	-1	0	1	1	0	-1
-3	0	4	0	-1	0	0	-1
-3	3	0	1	1	1	0	1
0	0	1	1	0	0	0	1
-4	2	0	1	1	0	0	-1
2	0	0	-1	0	0	0	0
1	0	1	0	0	0	1	0
-1	0	0	0	0	0	0	0

Ruv

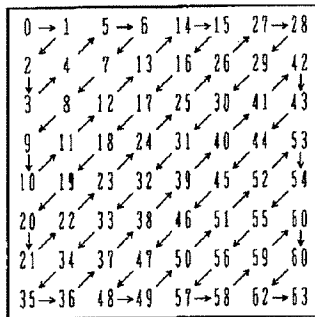
【図13】

ラスタスキャン

L0	0	1	2	3	4	5	6	7
L1	8	9	10	11	12	13	14	15
L2	16	17	18	19	20	21	22	23
L3	24	25	26	27	28	29	30	31
L4	32	33	34	35	36	37	38	39
L5	40	41	42	43	44	45	46	47
L6	48	49	50	51	52	53	54	55
L7	56	57	58	59	60	61	62	63

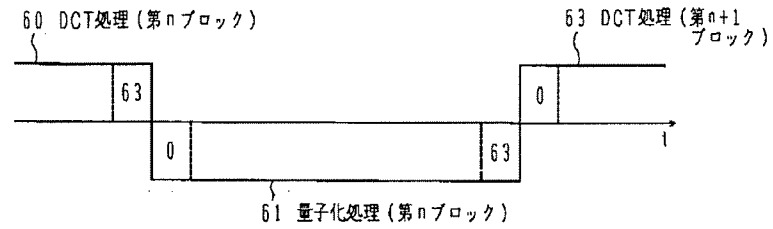
【図 14】

ジグザグスキャン



【図 15】

従来技術



フロントページの続き

(51) Int. Cl. °

H 0 3 M 7/30

H 0 4 N 1/41

識別記号

庁内整理番号

A 9382-5 K

B

F I

技術表示箇所

G 0 6 F 15/66

3 3 0 H

(11) Japanese Patent Application Laid-Open No.

8-195954

(43) Laid-Open Date: July 30, 1996

(21) Application No. 7-3233

5 (22) Application Date: January 12, 1995

(71) Applicant: FUJI FILM MICRO DEVICE KK

(71) Applicant: FUJI PHOTO FILM CO LTD

(72) Inventor: Masanari Asano

10 [TITLE OF THE INVENTION] Image Compression System

[Abstract]

[Object]

It is an object of the invention to provide an
15 image compression system for compressing a digital
image, which can perform a compression process for
image data at high speed.

[Constitution]

The image compression system comprises a block
20 memory (2) for storing two-dimensional block data, DCT
processing means (1) for performing a discrete cosine
transform (hereinafter referred to as DCT) to generate
the DCT coefficient and writing the DCT coefficient at
an address of raster scan in the block memory,
25 quantization means (3) for reading and quantizing the
DCT coefficient from an address of zigzag scan in the
block memory, and control means (7) for controlling the

process of the DCT processing means and raster address generation means so that the DCT processing means starts to write the DCT coefficients into the read row by detecting that the quantization means reads all the
5 DCT coefficients included in any row of the block memory.

[Claims for the Patent]

[Claim 1]

An image compression system comprising:

a block memory (2) for storing two-dimensional
5 block data;

raster address generation means (4) for generating
an address of said block memory in the order of raster
scan;

zigzag address generation means (5) for generating
10 an address of said block memory in an order of zigzag
scan;

DCT processing means (1) for performing a discrete
cosine transform (hereinafter referred to as DCT) to
generate DCT coefficients and write the DCT coefficient
15 into the address of said block memory generated by said
raster address generation means;

quantization means (3) for reading and quantizing
the DCT coefficient from the address of said block
memory generated by said zigzag address generation
20 means; and

control means (7) for controlling the process of
said DCT processing means and said raster address
generation means so that said DCT processing means
starts to write the DCT coefficients into the read row
25 by detecting that said quantization means reads all the
DCT coefficients included in any row of the block
memory.

[Claim 2]

The image compression system according to claim 1,
further comprising:

run-length coding means (55) for run-length coding
5 the DCT coefficient quantized by said quantization
means; and

Huffman coding means (55) for Huffman coding the
code to be encoded by said run-length coding means.

[Claim 3]

10 An image decompression system for decompressing
compressed image data generated by performing a process
including a DCT and quantization, comprising:

a block memory (22) for storing two-dimensional
block data;

15 zigzag address generation means (24) for
generating an address of said block memory in an order
of zigzag scan;

raster address generation means (25) for
generating an address of said block memory in an order
20 of raster scan;

inverse quantization means (21) for inversely
quantizing the compressed image data to generate DCT
coefficients and write the DCT coefficient at the
address of said block memory generated by said zigzag
25 address generation means;

IDCT processing means (23) for performing an
inverse discrete cosine transform (hereinafter referred

to as IDCT) by reading the DCT coefficient from the address of said block memory generated by said raster address generation means; and

control means (27) for controlling the process of
5 said IDCT processing means and said raster address generation means so that said IDCT processing means starts to read the DCT coefficients from the written row by detecting that said inverse quantization means writes all the DCT coefficients included in any row of
10 the block memory.

[Claim 4]

The image decompression system according to claim 3, further comprising:

Huffman decoding means (57) for Huffman decoding
15 the compressed image data; and

run-length decoding means (57) for run-length decoding the data decoded by said Huffman decoding means, wherein said inverse quantization means inversely quantizes the data decoded by said run-length
20 decoding means.

[Claim 5]

An image compression system comprising:

a memory (32) capable of storing at least one line of data;
25 address generation means (34, 35) for generating an address of said memory;

DCT processing means (31) for performing a DCT to generate DCT coefficients and write the DCT coefficient at the address of said memory generated by said address generation means;

5 quantization means (33) for reading and quantizing the DCT coefficient from the address of said memory generated by said address generation means; and

control means for controlling said DCT processing means to start to write the DCT coefficients into said
10 memory by detecting that said quantization means reads one line of data from said memory.

[Claim 6]

An image decompression system for decompressing compressed image data generated by performing a DCT and
15 quantization, comprising:

a memory (42) capable of storing at least one line of data;

address generation means (44, 45) for generating an address of said memory;

20 inverse quantization means (41) for inversely quantizing the compressed image data to generate DCT coefficients and write the DCT coefficient at the address of said memory generated by said address generation means;

25 IDCT processing means (43) for performing an IDCT by reading the DCT coefficient from the address of said memory generated by said address generation means; and

control means for controlling said IDCT processing means to start to read the DCT coefficients from said memory by detecting that said inverse quantization means writes one line of data into said memory.

5 [Claim 7]

An image compression method for use in an image compression system having a block memory for storing two-dimensional block data, comprising:

a DCT processing step of performing a DCT to
10 generate DCT coefficients and write the DCT coefficient into said block memory in an order of raster scan; and

a quantization step of reading and quantizing the DCT coefficient from said block memory in an order of zigzag scan;

15 wherein said DCT processing step comprises starting to write the DCT coefficients into said read row by detecting that all the DCT coefficients included in any row of said block memory are read at said quantization step.

20 [Claim 8]

An image decompression method for decompressing compressed image data generated by performing a DCT and quantization using an image decompression system having a block memory for storing two-dimensional block data,
25 said method comprising:

an inverse quantization step of inversely quantizing the compressed image data to generate DCT

coefficients and write the DCT coefficient into said
block memory in an order of zigzag scan; and

an IDCT processing step of performing an IDCT by
reading the DCT coefficient from said block memory in
5 an order of raster scan;

wherein said IDCT processing step comprises
starting to read the DCT coefficients from the written
row by detecting that all the DCT coefficients are
written into any row of the block memory at said
10 inverse quantization step.

[Detailed Description of the Invention]

[0001]

[Industrial Application Field]

The present invention relates to a digital image
5 processing, and more particularly to compressing the
digital image.

[0002]

[Prior Art]

As a standard compression method for still image,
10 there is a JPEG (Joint Photographic Expert Group)
compression method.

[0003]

Figure 9 is a block diagram showing a procedure of
JPEG compression. The original image data Iuv is the
15 image data to be compressed, and represented in the
spatial domain. The original image data Iuv is a
matrix representing one block in which an original
image is divided into 8×8 blocks. The component of the
matrix Iuv for the original image data represents each
20 pixel data of the original image.

[0004]

A discrete cosine transform (hereinafter referred
to as a DCT) operation processing circuit 51 performs a
DCT operation for the original image data Iuv to
25 generate the DCT coefficients Fuv. The DCT coefficient
Fuv is information (spatial frequency components)
represented in the frequency domain.

[0005]

The DCT operation processing circuit 51 performs the DCT operation for the original image data Iuv of 8×8. The original image data Iuv is placed between a transposed cosine coefficient matrix D^t and a cosine coefficient matrix D, and the matrix operation is performed to obtain the DCT coefficient Fuv.

[0006]

$$F = D^t ID \dots (1)$$

Figure 10 is a view for explaining a process for acquiring the DCT coefficient Fuv by performing the DCT operation based on the original image data Iuv.

[0007]

The original image Iuv of operation object is an 8×8 matrix, and the DCT coefficient Fuv of operation result is also an 8×8 matrix. The matrix of the DCT coefficient Fuv represents the coefficients of lower frequency components in smaller row and smaller column (in the upper left direction of the matrix), and conversely represents the coefficients of higher frequency components in larger row and larger column (in the lower right direction of the matrix).

[0008]

If the zeroth row (L0) of the original image data Iuv is inputted, the zeroth row (L0) of the DCT coefficient Fuv can be calculated. The DCT operation can be performed for each row. If the DCT operation is

performed, the DCT coefficient F_{uv} is outputted in the order of raster scan.

[0009]

Figure 13 is a view showing the order of performing the raster scan in the 8×8 matrix. The raster scan is firstly started from the zeroth row (L_0). The zeroth row (L_0) is scanned in sequence from left to right. If the scanning of the zeroth row (L_0) is ended, the first row (L_1) is then scanned. Similarly, the second row (L_2) to the seventh row (L_7) are scanned in due order.

[0010]

In Figure 9, the DCT coefficient F_{uv} obtained by the DCT operation is quantized in a quantization operation processing circuit 53 to obtain the quantized data R_{uv} . The 8×8 DCT coefficient F_{uv} is divided by a quantization table Q_{uv} varying with the frequency components, and quantized finer at lower frequency or coarser at higher frequency.

20 [0011]

That is, the DCT coefficient F_{uv} is linearly quantized into F_{uv}/Q_{uv} using the quantization table Q_{uv} having minuter step size for the components of smaller row u and smaller column v .

25 [0012]

The quantized and rounded coefficient R_{uv} is represented by the following expression. A rounding

function "round" means rounding off a number to the nearest integer.

$$R_{uv} = \text{round}(F_{uv}/Q_{uv}) \dots (2)$$

Figure 11 is a view showing a matrix of the quantization table Q_{uv} . The quantization table Q_{uv} consists of 8 rows and 8 columns, in which the DCT coefficient F_{uv} is quantized finer into smaller value at lower frequency component, and quantized coarser into larger value at higher frequency component.

10 [0013]

Figure 12 is an example of the coefficient R_{uv} obtained by performing the quantization operation of the above expression for the DCT coefficient F_{uv} in the typical image block. The lower frequency components are quantized finer, and the higher frequency components are quantized coarser, whereby the quantized data R_{uv} of higher frequency component has smaller value. Generally, the high frequency components (lower right part of the matrix) of the quantized data R_{uv} are likely to have the value of 0.

20 [0014]

In Figure 9, the quantized data R_{uv} is subjected to run-length coding and Huffman coding in an encoding operation processing circuit 55 to generate the compressed image data "data".

25 [0015]

The run-length coding can perform high compression for the data with consecutive values of 0. The quantized data Ruv as shown in Figure 12 has more 0s in the lower right part of the matrix. Using this
5 property, the matrix Ruv of the quantized data may be run-length encoded by zigzag scan, but not raster scan, to achieve the high compression.

[0016]

Figure 14 is a view showing the order of
10 performing the zigzag scan in an 8x8 matrix. The zigzag scan is made from the upper left (number 0) of the matrix to the lower right (number 63) in zigzag manner. If the quantized data Ruv is zigzag scanned, the matrix can be scanned sequentially from the upper
15 left of the matrix where the low frequency components are located to the lower right of the matrix where the high frequency components are located.

[0017]

Since the quantized data Ruv (Figure 12) has the
20 property that the high frequency components (the lower right of the matrix) are likely to have the value of 0 for the above reason, the zigzag scan (Figure 14) should be performed, rather than the raster scan (Figure 13) for the run-length coding, to achieve the
25 high compression.

[0018]

In Figure 9, the encoding operation processing circuit 55 generates the compressed image data "data" by performing the Huffman coding after performing the run-length coding. The generated compressed data
5 "data" is stored in a storage medium.

[0019]

As described above, two data scan methods of raster scan and zigzag scan are employed in the JPEG compression. In Figure 9, the DCT operation processing
10 circuit 51 outputs the DCT coefficient Fuv by raster scan. And a quantization operation processing circuit 53 receives as input the DCT coefficient Fuv by zigzag scan.

[0020]

15 At this time, the data flow is transformed from raster scan to zigzag scan, employing a block memory for storing the 8×8 DCT coefficient Fuv. The DCT coefficient Fuv outputted from the DCT operation processing circuit 51 is written in the order of raster
20 scan into the block memory. The quantization operation processing circuit 53 receives as input the DCT coefficient Fuv read from the block memory by zigzag scan.

[0021]

25 Figure 15 is a chart showing the timing of the DCT process and the quantization process when the block memory is employed. The DCT process 60, 61 is

performed by the DCT operation processing circuit 51 (Figure 9), and the quantization process 61 is performed by the quantization operation processing circuit 53 (Figure 9).

5 [0022]

Each process is performed on an 8×8 block data basis as previously described. The DCT process 60 for the n th block performs the DCT operation, and writes the DCT coefficient F_{uv} into the block memory in the order of raster scan. After writing the last or 63^{rd} data of the DCT coefficients F_{uv} of $8 \times 8 = 64$, the quantization process 61 for the n th block is started.

[0023]

The quantization process 61 reads DCT coefficient F_{uv} from the zeroth component to 63^{rd} component from the block memory in the order of zigzag scan to perform the processing. After the 63^{rd} component of the DCT coefficient F_{uv} is read, the DCT process 62 for the $(n+1)$ th block is started.

20 [0024]

The DCT process 62 writes the DCT coefficient F_{uv} from the zeroth component to 63^{rd} component into the block memory in the order of raster scan. In the above manner, all 64 pieces of data are firstly written into the block memory, and then the data starts to be read. And after all 64 pieces of data are read, the data of the next block starts to be written.

[0025]

[Problems to be Solved by the Invention]

Conventionally, in writing into the block memory
by raster scan and reading from the block memory by
5 zigzag scan, all the data within the block in a
processing unit are written and then read.

[0026]

Generally, since the write process by raster scan
involves the DCT operation, it takes a quite longer
10 time, has worse processing efficiency, and has slower
overall processing rate than the read process by zigzag
scan (including the quantization process).

[0027]

It is an object of the invention to provide an
15 image compression system that can compress the image
data at high speed.

[0028]

[Means for Solving the Problems]

An image compression system of the present
20 invention comprises a block memory for storing two-
dimensional block data, raster address generation means
for generating an address of the block memory in an
order of raster scan, zigzag address generation means
for generating an address of the block memory in an
25 order of zigzag scan, DCT processing means for
performing a discrete cosine transform (hereinafter
referred to as DCT) to generate DCT coefficients and

write the DCT coefficients into the address of the
block memory generated by the raster address generation
means, quantization means for reading and quantizing
the DCT coefficients from the address of the block
5 memory generated by the zigzag address generation means,
and control means for controlling the process of the
DCT processing means and the raster address generation
means so that the DCT processing means starts to write
the DCT coefficients into the read row by detecting
10 that the quantization means reads all the DCT
coefficients included in any row of the block memory.

[0029]

[Operation]

The DCT processing means can write the DCT
15 coefficients of the next DCT coefficient block into the
block memory before the quantization means reads all
the DCT coefficients of the block stored in the block
memory.

[0030]

20 [Embodiments]

Figure 1 is a block diagram showing the
configuration of an image compression system according
to a first embodiment of the present invention.

[0031]

25 The image compression system of this embodiment
provides a part of a JPEG compression process, for
example. The image compression system performs a DCT

process for the supplied original image data Iuv in a DCT processing unit 1 to output the DCT coefficients Fuvr and write them in the order of raster scan into a block memory 2. A quantization unit 3 reads the DCT
5 coefficients Fuvz in the order of zigzag scan from the block memory 2, and performs a quantization process to output the quantized data Ruv.

[0032]

The block memory 2 is a memory buffer that can
10 store the data for one block of 8×8. In the following, the case where the block memory 2 is a single port memory will be explained.

[0033]

In this embodiment, the timing of writing into the
15 block memory 2 or the timing of reading from the block memory is controlled to perform the image compression process faster. In the following, a timing control method will be described.

[0034]

20 The DCT processing unit 1 performs the DCT process for the supplied original image data Iuv, and outputs the DCT coefficients Fuvr in the order of raster scan into the block memory 2. The DCT coefficients Fuvr are inputted into the block memory 2, while a raster
25 address AR generated by a raster address generator 4 is inputted via a selector 6 into the block memory 2.

[0035]

The DCT coefficients Fuvr outputted from the DCT processing unit 1 are written at the address designated by the raster address AR in the block memory 2. The raster address AR is a memory address generated in the order of raster scan (Figure 13).

[0036]

The selector 6 supplies either the raster address AR generated by the raster address generator 4 or the zigzag address AZ generated by a zigzag address generator 5 in accordance with a select signal SEL generated by a controller 7 to the block memory 2.

[0037]

The controller 7 supplies the selection signal SEL for selecting the raster address AR to the selector 6, when the original image data Iuv of the first block (including all of the zeroth to 63rd data) is supplied.

[0038]

As shown in Figure 2, if the DCT processing unit 1 writes the last or 63rd DCT coefficient Fuvr into the block memory 2 in the DCT process 10, the quantization unit 3 starts to read the zeroth DCT coefficient Fuvz in the quantization process 11. At this time, the controller 7 instructs the quantization unit 3 to start the processing and instructs the zigzag address generator 5 to start generating the zigzag address AZ. The zigzag address generator 5 starts generating the zigzag address AZ in due order from the zeroth data.

The zigzag address AZ is a memory address generated in the order of zigzag address.

[0039]

In Figure 1, the selector 7 receives a select
5 signal SEL from the controller 7, and selects the zigzag address AZ generated by the zigzag address generator 5. The zigzag address generator 5 generates the memory address successively in the order of zigzag scan (Figure 14).

10 [0040]

The zigzag address AZ is supplied via the selector 7 to the block memory 2. The quantization unit 3 reads the DCT coefficient Fuvr in the order of zigzag scan from the block memory 2.

15 [0041]

As shown in Figure 2, if the quantization unit 3 reads the 28th DCT coefficient Fuvz in the quantization process 11, the controller 7 instructs the DCT processing unit 1 to start the processing and instructs
20 the raster address generator 4 to start generating the raster address AR. The 28th DCT coefficient Fuvz is the most upper right data as shown in Figure 14. If the reading of the 28th data is ended, eight pieces of data in the zeroth row (L0) can be written.

25 [0042]

The raster address generator 4 receives an instruction from the controller 7, and starts

generating the raster address AR in succession from the zeroth data. In the DCT process 12 of Figure 2, after the reading of the 28th data in the quantization process 11 is ended, the DCT processing unit 1 starts
5 to write the DCT coefficient Fuvr in the zeroth row (zeroth to seventh components) of the next block data.
[0043]

Figure 3 is a view for explaining the read timing of the quantization unit 3 from the block memory 2 and
10 the write timing of the DCT processing unit 1. In Figure 3A, when the quantization unit 3 reads the zeroth to 28th data from the block memory 2 by zigzag scan, the 29th to 63rd data are not yet read. The read zeroth to 28th data are not illustrated, but the 29th to
15 63rd data not yet read are only illustrated.
[0044]

If the 28th data is read, eight pieces of data (zeroth, first, fifth, sixth, 14th, 15th, 27th and 28th in Figure 14) in the zeroth row (L0) are all read,
20 whereby the DCT processing unit 1 can write the data (zeroth to seventh components) in the zeroth row (L0) of the next block data.
[0045]

Subsequently, when the quantization unit 3 reads
25 the 29th to 42nd data from the block memory 2 by zigzag scan in Figure 3B, the 43rd to 63rd data are not yet read. The read zeroth to 42nd data are not illustrated,

but the 43rd to 63rd data not yet read are only illustrated.

[0046]

If the 42nd data is read, eight pieces of data
5 (second, fourth, seventh, thirteenth, sixteenth, 26th,
29th and 42nd in Figure 14) in the first row (L1) are
all read, whereby the DCT processing unit 1 can write
the new data (eighth to 15th components) in the first
row (L1).

10 [0047]

Similarly, after the quantization unit 3 reads the
43rd data, the DCT processing unit 1 can write the new
data in the second row (L2). When the quantization
unit 3 reads the 53rd, 54th, 60th, 61st and 63rd data, the
15 DCT processing unit 1 can write the data in the third
row (L3), the fourth row (L4), the fifth row (L5), the
sixth row (L6) and the seventh row (L7).

[0048]

The switching between reading and writing as above
20 is controlled by the controller 7 of Figure 1. The
controller 7 controls the DCT processing unit 1 and the
quantization unit 3 to start the processing, and
controls the raster address generator 4 and the zigzag
address generator 5 to generate the address.

25 [0049]

Referring to Figure 2, the above processing flow
will be described below. The DCT process 10 is

performed for the nth block by the DCT processing unit
1. In the DCT process 10, the DCT processing unit 1
calculates the zeroth to 63rd DCT coefficients within
the nth block, and writes them in the order of raster
5 scan into the block memory 2. If the 63rd DCT
coefficient is written, the process of the quantization
process 11 is started.

[0050]

The quantization process 11 is performed for the
10 nth DCT coefficient block calculated in the DCT process
11 by the quantization unit 3. In the quantization
process 11, the quantization unit 3 reads the DCT
coefficients starting from the zeroth in the order of
raster scan from the block memory 2, and performs the
15 quantization. If the reading of the zeroth to 28th DCT
coefficients is ended, the DCT process 12 is started.

[0051]

The DCT process 12 is performed for the (n+1)th
block by the DCT processing unit 1. In the DCT process
20 12, the DCT processing unit 1 calculates the DCT
coefficients in the zeroth row (zeroth to seventh
components) within the (n+1)th block, and writes them
in the order of raster scan into the block memory 2.

[0052]

25 In the quantization process 11, the quantization
unit 3 processes the zeroth to 28th DCT coefficients of
the nth block in the order of zigzag scan, and then

processes the 29th to 42nd DCT coefficients. If the processing (reading) of the 42nd DCT coefficient is ended, the DCT processing unit 1 calculates the DCT coefficients in the first row (eighth to fifteenth components) within the (n+1)th block, and writes them in the order of raster scan into the block memory 2 in the DCT process 12.

[0053]

Similarly, if the 43rd, 53rd, 54th, 60th, 61st, and 63rd DCT coefficients are read by zigzag scan in the quantization process 11 as shown in Figure 3, the data of the second row (L2), the third row (L3), the fourth row (L4), the fifth row (L5), the sixth row (L6) and the seventh row (L7) are written in the DCT process 12 as shown in Figure 13.

[0054]

Though not illustrated, if the writing of the seventh row (L7) is ended in the DCT process 12, the quantization unit 3 starts to read the DCT coefficients for the (n+1)th block, like the quantization process 11.

[0055]

In the quantization process 11, it is not necessary that the quantization unit 3 starts reading, waiting until the DCT processing unit 1 ends writing the seventh row (L7) including the 63rd data in the DCT process 10. For example, the quantization unit 3 may read the DCT coefficients up to the 20th by zigzag scan

at the time when the DCT processing unit 1 ends writing
in the fifth row (L5).

[0056]

As described above, the quantization process 11
5 and the DCT process 12 can write or read into or from
the block memory 2 while processing each data block.
Generally, since the DCT process takes a longer
processing time than the quantization process, the
process can be performed timely efficiently by
10 controlling the access timing to the block memory 2 as
described above, whereby the fast image compression can
be performed.

[0057]

The process example for compressing the original
15 image data has been described above. Next, an example
of decompressing the compressed image data will be
described below. Figure 4 is a block diagram showing a
JPEG decompression process. The JPEG decompression is
a process for restoring the image data by decompressing
20 the compressed image data generated by the JPEG
compression as shown in Figure 9. The JPEG
decompression also performs the process for one block
of 8×8 as a unit, like the JPEG compression.

[0058]

25 The compressed image data "data" stored in the
storage medium is subjected to Huffman decoding and
run-length decoding in a decoding operation processing

circuit 57 to generate the quantized data R_{uv} . Since the Huffman coding and the run-length coding are reversible encoding, the decoded quantized data R_{uv} is equivalent to the quantized data R_{uv} at the time of
 5 JPEG compression (Figure 9).

[0059]

The quantized data R_{uv} are inversely quantized by the product with the quantization table Q_{uv} in an inverse quantization operation processing circuit 59,
 10 and restored to the DCT coefficient F'_{uv} . The quantization table Q_{uv} is the same as the quantization table of Figure 11 as used at the time of JPEG compression.

[0060]

15 $F'_{uv} = R_{uv} \cdot Q_{uv} \dots (3)$

The DCT coefficient F'_{uv} is represented by the DCT coefficient including a quantization error in the DCT coefficient F_{uv} generated at the time of JPEG compression.

20 [0061]

The DCT coefficient F'_{uv} is subjected to inverse DCT operation in an inverse DCT (hereinafter referred to as IDCT) operation processing circuit 61 and transformed into the image data I'_{uv} in the spatial
 25 domain. The IDCT operation processing circuit 61 is placed between the cosine coefficient matrix D and the transposed cosine coefficient matrix D^t and the matrix

operation is performed to obtain the decompressed image data I'_{uv} .

[0062]

$$I' = DF' D^t \dots (4)$$

5 The decompressed image data I'_{uv} is restored to the original image data I_{uv} before the JPEG compression, including a DCT error and a quantization error.

[0063]

Next, an example in which the present invention is
10 applied to the JPEG decompression will be described below. Figure 5 is a block diagram showing the configuration of an image decompression system according to a second embodiment of the present invention. The image decompression system of this
15 embodiment offers a part of the JPEG decompression process, for example.

[0064]

An inverse quantization unit 21 performs an inverse quantization process for the supplied quantized
20 data R_{uv} to output the DCT coefficient F'_{uvz} . The DCT coefficients F'_{uvz} are written in the order of zigzag scan into a block memory 22. An IDCT processing unit 23 reads the DCT coefficient F'_{uvr} in the order of raster scan from the block memory 22, and performs an
25 IDCT process to output the decompressed image data I'_{uv} .

[0065]

A zigzag address generator 24 generates the zigzag address AZ and a raster address generator 25 generates the raster address AR, as described above. A selector 26 selects the zigzag address AZ or the raster address AR in accordance with a select signal SEL for supply to the block memory 22.

[0066]

While in the previous example of the JPEG compression, the writing into the block memory 22 by raster scan is firstly made and then the reading by zigzag scan is made, the writing into the block memory 22 by zigzag scan is made and then the reading by raster scan is made in the case of the JPEG decompression.

[0067]

In the following, the timing at which the zigzag address generator 24 generates the zigzag address AZ, the timing at which the raster address generator 25 generates the raster address AR and the timing at which the inverse quantization unit 21 and the IDCT processing unit 23 start the processing will be described below.

[0068]

Figure 6 is a view for explaining the write timing of the inverse quantization unit 21 into the block memory 22 and the read timing of the IDCT processing unit 23 from the block memory. Figure 6A is a

schematic view where the inverse quantization unit 21 writes the zeroth to 28th data into the block data 22 by zigzag scan. The written zeroth to 28th data are only illustrated.

5 [0069]

If the 28th data is written, eight pieces of data (zeroth, first, fifth, sixth, fourteenth, fifteenth, 27th and 28th data by zigzag scan) in the zeroth row (L0) are all written, whereby the IDCT processing unit 10 23 can read the data in the zeroth row (L0) stored in the block data 22.

[0070]

Subsequently, Figure 6B is a schematic view where the inverse quantization unit 21 writes the 29th to 42nd 15 data into the block memory 22 by zigzag scan. The already written zeroth to 42nd data are only illustrated.

[0071]

If the 42nd data is written, eight pieces of data 20 (second, fourth, seventh, thirteenth, sixteenth, 26th, 29th and 42nd data by zigzag scan) in the first row (L1) are all written, whereby the IDCT processing unit 23 can read the data in the first row (L1) stored in the block memory 22.

25 [0072]

Similarly, after the inverse quantization unit 21 writes the 43rd data, the IDCT processing unit 23 can

read the data in the second row (L2). When the inverse quantization unit 21 writes the 53rd, 54th, 60th, 61st and 63rd data, the IDCT processing unit 23 can read the data in the third row (L3), the fourth row (L4), the
5 fifth row (L5), the sixth row (L6) and the seventh row (L7).

[0073]

The switching between writing and reading as above is controlled by a controller 27 of Figure 5. The
10 controller 27 controls the inverse quantization unit 21 and the IDCT processing unit 23 to start the processing, and controls the zigzag address generator 24 and the raster address generator 25 to generate addresses.

[0074]

15 The DCT process and the quantization process in the compression and decompression of the JPEG method have been described above. Next, an example in which the writing into the block memory is made by raster scan and the reading from the block memory is made by
20 raster scan, whether it involves the JPEG method or not, will be described below.

[0075]

Figure 7 is a block diagram showing the configuration of an image compression system according
25 to a third embodiment of the invention. The image compression system of this embodiment employs a line memory 32, instead of the block memory 2 in the first

embodiment as shown in Figure 1. In the line memory 32, the data of one line is accessed sequentially from the beginning to the last by raster scan.

[0076]

5 A DCT processing unit 31 performs a DCT process for the supplied original image data Iuv to output the DCT coefficient Fuv1, and write the line data into the line memory 32 by raster scan. A quantization unit 33 reads the line data of the DCT coefficient Fuv2 in the
10 order of raster scan from the line memory 32, and performs the quantization process to output the quantized data Ruv.

[0077]

 A write address generator 34 generates the write
15 address A1 for writing into the line memory 32, and a read address generator 35 generates the read address A2 for reading from the line memory 32. A selector 36 supplies the write address A1 or the read address A2 in accordance with a selection signal SEL to the line
20 memory 22.

[0078]

 The DCT processing unit 31 performs the DCT process for the supplied original image data Iuv to write the DCT coefficient Fuv1 of one line into the
25 line memory 32 in the order of raster scan. The quantization unit 33 reads the DCT coefficient Fuv2 from the line memory 32 in the order of raster scan.

The DCT coefficient Fuv2 read in the order of raster scan is quantized to output the quantized data Ruv.

[0079]

In the following, the timing at which the write
5 address generator 34 generates the write address A1,
the timing at which the read address generator 35
generates the read address A2 and the timing at which
the DCT processing unit 31 and the quantization unit 33
start the processing will be described below.

10 [0080]

The DCT processing unit 31 performs the DCT
process for the original image data Iuv to write the
DCT coefficient Fuv1 in the zeroth line (L0) into the
line memory 32. If the writing of the DCT coefficient
15 Fuv1 in the zeroth line (L0) is ended, the quantization
unit 33 reads the DCT coefficient Fuv2 in the zeroth
row (L0) from the line memory 32, and performs the
quantization process to generate the quantized data Ruv.
[0081]

20 Similarly, if the DCT processing unit 31 writes
the data in the first row (L1), the second row (L2),
the third row (L3), the fourth row (L4), the fifth row
(L5), the sixth row (L6), and the seventh row (L7) by
raster scan, the quantization unit 33 reads and
25 processes the data in the first row (L1), the second
row (L2), the third row (L3), the fourth row (L4), the

fifth row (L5), the sixth row (L6) and the seventh row (L7) after each line data is written.

[0082]

While the addresses A1 and A2 are generated by the
5 write address generator 34 and the read address
generator 35 in the above embodiment, they may be
generated by one address generator.

[0083]

Figure 8 is a block diagram showing the
10 configuration of an image decompression system
according to a fourth embodiment of the present
invention. The image decompression system of this
embodiment decompresses the quantized data Ruv to
generate the decompressed image data I'uv, in contrast
15 to the image compression system as shown in Figure 7.

[0084]

In the following, the timing at which a write
address generator 44 generates the write address A1,
the timing at which a read address generator 45
20 generates the read address A2 and the timing at which
an inverse quantization unit 41 and an IDCT processing
unit 43 start the processing will be described below.

[0085]

The inverse quantization unit 41 inversely
25 quantizes the quantized data Ruv to write the DCT
coefficient F'uv2 in the zeroth line (L0) into the line
memory 42. If the DCT coefficient F'uv2 in the zeroth

line (L0) is written, the IDCT processing unit 43 reads the DCT coefficient F'_{uv1} in the zeroth row (L0) from the line memory 42, and performs the IDCT process to generate the decompressed image data I'_{uv} .

5 [0086]

Similarly, if the inverse quantization unit 41 writes the data in the first row (L1), the second row (L2), the third row (L3), the fourth row (L4), the fifth row (L5), the sixth row (L6), and the seventh row (L7) by raster scan, the IDCT processing unit 43 reads and processes the data in the first row (L1), the second row (L2), the third row (L3), the fourth row (L4), the fifth row (L5), the sixth row (L6) and the seventh row (L7) after each line data is written.

15 [0087]

Since the DCT operation has a processing unit of one block (e.g., 8×8), one block is naturally stored in the block memory in the conventional image compression or decompression process. However, as in this embodiment, data may be stored line by line using the line memory. If the data is stored line by line, the process standby time can be reduced, performing the image compression or decompression faster.

[0088]

25 The addresses A1 and A2 may be generated by one address generator. Since the line memory is only required to have a function of delaying the input data

by a certain time, a first-in first-out circuit (FIFO) or the like may be employed instead.

[0089]

As described above, the image compression or
5 decompression processing speed can be made faster by
controlling the access timing of the block memory or
line memory without increasing the memory capacity.

[0090]

The block memory or line memory can be applied not
10 only to a single port memory, but also to a dual port
memory. In this case, the writing and the reading can
be made from different ports, increasing the degree of
freedom in adjusting the timing.

[0091]

15 While the present invention has been described
above in connection with the embodiments, the invention
is not limited to the above embodiments. It will be
apparent to a person skilled in the art that various
changes, improvements, or combinations, for example,
20 may be made thereto.

[0092]

[Effects of the Invention]

As described above, according to the present
invention, the DCT processing means can write the DCT
25 coefficients of the next block into the block memory
before the quantization means reads all the DCT
coefficients of the block stored in the block memory,

whereby the image compression process can be performed at high speed.

[Brief Description of the Drawings]

5 [Figure 1]

Figure 1 is a block diagram showing the configuration of an image compression system according to a first embodiment of the present invention.

[Figure 2]

10 Figure 2 is a chart showing the timing at which a DCT process and a quantization process are performed.

[Figure 3]

Figure 3 is a view for explaining the read timing of a quantization unit from the block memory and the
15 write timing of a DCT processing unit.

[Figure 4]

Figure 4 is a block diagram showing a JPEG decompression process.

[Figure 5]

20 Figure 5 is a block diagram showing the configuration of an image decompression system according to a second embodiment of the present invention.

[Figure 6]

25 Figure 6 is a view for explaining the write timing of an inverse quantization unit from the block memory and the read timing of an IDCT processing unit.

[Figure 7]

Figure 7 is a block diagram showing the configuration of an image compression system according to a third embodiment of the present invention.

5 [Figure 8]

Figure 8 is a block diagram showing the configuration of an image decompression system according to a fourth embodiment of the present invention.

10 [Figure 9]

Figure 9 is a block diagram showing a procedure of JPEG compression.

[Figure 10]

Figure 10 is a view for explaining the DCT
15 operation.

[Figure 11]

Figure 11 is a view showing a matrix of quantization table Q_{uv} .

[Figure 12]

20 Figure 12 is a view showing a matrix of coefficient R_{uv} obtained by performing the quantization operation for DCT coefficient F_{uv} in the typical image block.

[Figure 13]

25 Figure 13 is a view showing the order of raster scan in an 8×8 matrix.

[Figure 14]

Figure 14 is a view showing the order of zigzag scan in an 8×8 matrix.

[Figure 15]

Figure 15 is a chart showing the timing at which
5 the DCT process and the quantization process are performed in the prior art.

[Description of Symbols]

- 1, 31 discrete cosine transform (DCT) processing unit
- 23, 43 inverse discrete cosine transform (IDCT)
- 10 processing unit
- 2, 22 block memory
- 32, 42 line memory
- 3, 33 quantization unit
- 21, 41 inverse quantization unit
- 15 4, 25 raster address generator
- 5, 24 zigzag address generator
- 34, 44 write address generator
- 35, 45 read address generator
- 6, 26, 36, 46 selector
- 20 7, 27, 37, 47 controller
- 10, 12, 60, 62 DCT process
- 11, 61 quantization process
- 51 DCT operation processing circuit
- 53 quantization operation processing circuit
- 25 55 encoding operation processing circuit
- 57 decoding operation processing circuit
- 59 inverse quantization operation processing circuit

61 IDCT operation processing circuit

[Figure 1]

- #1 Embodiment 1
- 1 DCT processing unit
- 2 Block memory
- 5 3 Quantization unit
- 4 Raster address generator
- 5 Zigzag address generator
- 7 Controller

10 [Figure 2]

- #1 Processing timing of embodiment 1
- 10 DCT process (nth block)
- 11 Quantization process (nth block)
- 12 DCT process ((n+1)th block)

15

[Figure 3]

Access to block memory

[Figure 4]

- 20 #1 JPEG decompression
- "data" Compressed image data
- 57 Decoding operation process
- Ruv Quantized data (frequency domain)
- 59 Inverse quantization operation process
- 25 F'uv DCT coefficient (frequency domain)
- 61 IDCT operation process
- I'uv Decompressed image (spatial domain)

[Figure 5]

	#1	Embodiment 2
	21	Inverse quantization unit
5	22	Block memory
	23	IDCT processing unit
	24	Zigzag address generator
	25	Raster address generator
	27	Controller

10

[Figure 6]

Access to block memory

[Figure 7]

15	#1	Embodiment 3
	31	DCT processing unit
	32	Line memory
	33	Quantization unit
	34	Write address generator
20	35	Read address generator
	37	Controller

[Figure 8]

	#1	Embodiment 4
25	41	Inverse quantization unit
	42	Line memory
	43	IDCT processing unit

44 Write address generator
45 Read address generator
47 Controller

5 [Figure 9]
#1 JPEG compression
Iuv Original image (spatial domain)
51 DCT operation process
Fuv DCT coefficient (frequency domain)
10 53 Quantization operation process
Ruv Quantized data (frequency domain)
55 Encoding operation process
"data" Compressed image data

15 [Figure 10]
DCT operation

[Figures 11]
Quantization table

20 [Figure 12]
Quantized data

[Figure 13]
25 Raster scan

[Figure 14]

Zigzag scan

[Figure 15]

	#1	Prior art
5	60	DCT process (nth block)
	61	Quantization process (nth block)
	63	DCT process ((n+1)th block)

(9)

特開平8-195954

15

の構成を示すブロック図である。

【図2】DCT処理と量子化処理の時間的タイミングを示す図である。

【図3】ブロックメモリに対して量子化部が読み出すタイミングとDCT処理部が書き込むタイミングを説明するための図である。

【図4】JPEG伸張の処理を示すブロック図である。

【図5】本発明の第2の実施例による画像伸張システムの構成を示すブロック図である。

【図6】ブロックメモリに対して逆量子化部が書き込むタイミングとIDCT処理部が読み出すタイミングを説明するための図である。

【図7】本発明の第3の実施例による画像圧縮システムの構成を示すブロック図である。

【図8】本発明の第4の実施例による画像伸張システムの構成を示すブロック図である。

【図9】JPEG圧縮の処理手順を示すブロック図である。

【図10】DCT演算を説明するための図である。

【図11】量子化テーブル Q_{uv} の行列を示す図である。【図12】一般的な画像ブロックについてのDCT係数 F_{uv} に対して量子化演算を行うことにより得られる係数 R_{uv} の行列を示す図である。【図13】 8×8 の行列においてラスタスキャンの順番を示す図である。 *

16

* 【図14】 8×8 の行列においてジグザグスキャンの順番を示す図である。

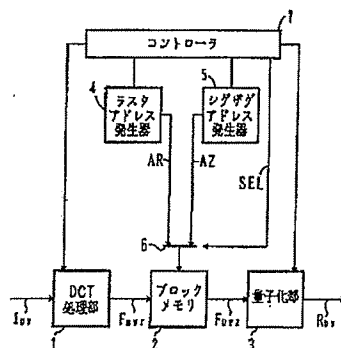
【図15】従来技術によりDCT処理と量子化処理を行う時間的タイミングを示す図である。

【符号の説明】

- 1, 31 離散コサイン変換 (DCT) 処理部
- 23, 43 逆離散コサイン変換 (IDCT) 処理部
- 2, 22 ブロックメモリ
- 32, 42 ラインメモリ
- 3, 33 量子化部
- 21, 41 逆量子化部
- 4, 25 ラスタアドレス発生器
- 5, 24 ジグザグアドレス発生器
- 34, 44 書き込みアドレス発生器
- 35, 45 読み出しアドレス発生器
- 6, 26, 36, 46 セレクタ
- 7, 27, 37, 47 コントローラ
- 10, 12, 60, 62 DCT処理
- 11, 61 量子化処理
- 51 DCT演算処理回路
- 53 量子化演算処理回路
- 55 符号化演算処理回路
- 57 復号化演算処理回路
- 59 逆量子化演算処理回路
- 61 IDCT演算処理回路

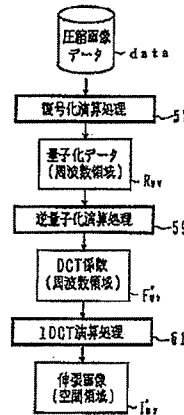
【図1】

① 実施例1



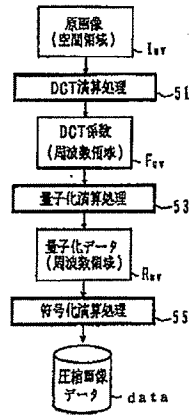
【図4】

① JPEG伸張



【図9】

① JPEG圧縮

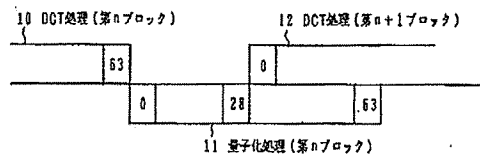


(10)

特開平 8-195954

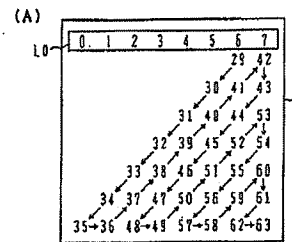
【図 2】

① 実施例 1 の処理タイミング



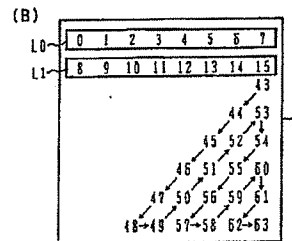
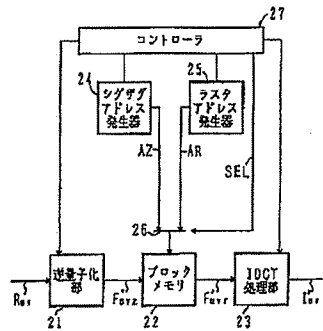
【図 3】

ブロックメモリへのアクセス



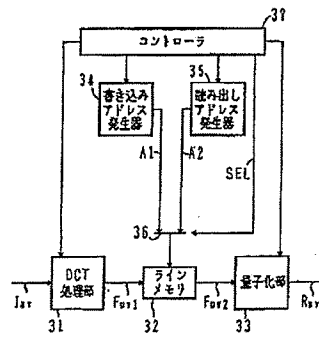
【図 5】

① 実施例 2



【図 7】

① 実施例 3



【図 11】

量子化テーブル

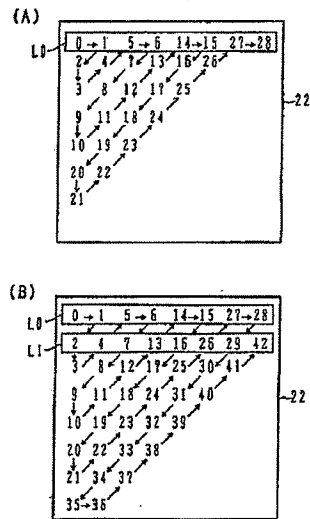
16	11	10	16	24	40	51	61
12	12	14	19	26	58	60	55
14	13	16	24	40	57	69	56
14	17	22	29	51	87	80	62
18	22	37	56	68	109	107	77
24	35	55	64	81	104	113	92
49	64	78	87	107	121	120	101
72	92	95	98	112	100	103	99

(11)

特開平8-195954

【図6】

ブロックメモリへのアクセス



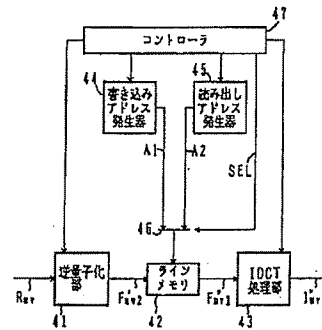
【図10】

DCT演算



【図8】

① 実施例4



【図12】

量子化データ

16	-1	-1	0	1	1	0	-1
-3	0	4	0	-1	0	0	-1
-3	3	0	1	1	1	0	1
0	0	1	1	0	0	0	1
-4	2	0	1	1	0	0	-1
2	0	0	-1	0	0	0	0
1	0	1	0	0	0	1	0
-1	0	0	0	0	0	0	0

【図13】

ラスタスキュン

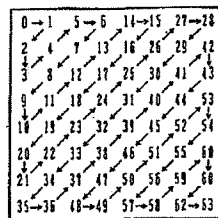
L0	0	1	2	3	4	5	6	7
L1	8	9	10	11	12	13	14	15
L2	16	17	18	19	20	21	22	23
L3	24	25	26	27	28	29	30	31
L4	32	33	34	35	36	37	38	39
L5	40	41	42	43	44	45	46	47
L6	48	49	50	51	52	53	54	55
L7	56	57	58	59	60	61	62	63

(12)

特開平8-195954

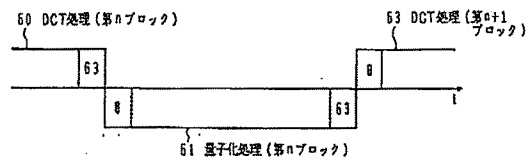
【図14】

ジグザグスキャン



【図15】

① 従来技術



フロントページの続き

(51) Int. Cl. ⁴

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 M 7/30

A 9382-5K

H 0 4 N 1/41

B

G 0 6 F 15/66

3 3 0 H